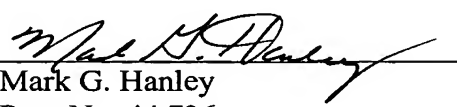




PATENT
Docket No. 20067/OPP031475US

IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE

| | | |
|-------------------------------------|---|--|
| Applicant(s): Geon-Ook PARK |) | I hereby certify that the documents |
| |) | referred to as enclosed herewith are |
| Serial No.: 10/748,652 |) | being deposited with the United States |
| |) | Postal Service, first class postage |
| Filed: December 30, 2003 |) | prepaid, in an envelope addressed to |
| |) | the Commissioner for Patents, P.O. |
| For: "Method of Forming a Trench in |) | Box 1450, Alexandria, Virginia |
| a Semiconductor Device" |) | 22313-1450 on this date: |
| |) | |
| Group Art Unit: Unknown |) | January 20, 2004 |
| |) | |
| Examiner: Not Yet Assigned |) | |
| |) |  |
| |) | Mark G. Hanley |
| |) | Reg. No. 44,736 |

TRANSMITTAL OF PRIORITY DOCUMENT

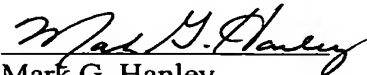
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

Enclosed herewith is a certified copy of Korean Patent Application Serial No.
10-2003-0001410 filed January 9, 2003, the priority of which is claimed under 35
U.S.C. § 119.

Respectfully submitted,

GROSSMAN & FLIGHT, LLC.
Suite 4220
20 North Wacker Drive
Chicago, Illinois 60606
(312) 580-1020

By: 
Mark G. Hanley
Registration No.: 44,736

January 20, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0001410
Application Number

출원 년 월 일 : 2003년 01월 09일
Date of Application JAN 09, 2003

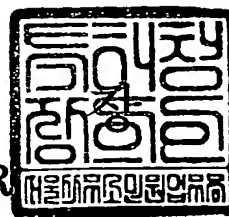
출원인 : 아남반도체 주식회사
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003 년 11 월 10 일

특 허 청

COMMISSIONER





1020030001410

출력 일자: 2003/11/13

【서지사항】

| | |
|------------|--|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0002 |
| 【제출일자】 | 2003.01.09 |
| 【발명의 명칭】 | 반도체 소자의 트렌치 형성 방법 |
| 【발명의 영문명칭】 | Formation method of trench in semiconductor device |
| 【출원인】 | |
| 【명칭】 | 아남반도체 주식회사 |
| 【출원인코드】 | 1-1998-002671-9 |
| 【대리인】 | |
| 【명칭】 | 유미특허법인 |
| 【대리인코드】 | 9-2001-100003-6 |
| 【지정된변리사】 | 오원석 |
| 【포괄위임등록번호】 | 2001-041985-8 |
| 【발명자】 | |
| 【성명의 국문표기】 | 박건욱 |
| 【성명의 영문표기】 | PARK, GEON WOOK |
| 【주민등록번호】 | 680515-1023927 |
| 【우편번호】 | 121-220 |
| 【주소】 | 서울특별시 마포구 합정동 389-11번지 |
| 【국적】 | KR |
| 【심사청구】 | 청구 |
| 【취지】 | 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 유미특허법인 (인) |
| 【수수료】 | |
| 【기본출원료】 | 15 면 29,000 원 |
| 【가산출원료】 | 0 면 0 원 |
| 【우선권주장료】 | 0 건 0 원 |
| 【심사청구료】 | 8 항 365,000 원 |
| 【합계】 | 394,000 원 |
| 【첨부서류】 | 1. 요약서·명세서(도면)_1통 |

**【요약서】****【요약】**

반도체 소자의 트렌치를 형성하는 방법에 관한 것으로, 그 목적은 보이드가 형성되지 않고 트렌치가 완전히 매립되도록 트렌치 산화막을 형성하는 방법을 제공하는 것이다. 이를 위해 본 발명에서는 반도체 기판 상에 패드산화막과 실리콘질화막을 형성하는 단계; 트렌치로 예정된 영역 상부의 실리콘질화막 및 패드산화막을 선택적으로 식각하는 단계; 트렌치로 예정된 영역의 반도체 기판 내에 산소 이온을 주입하는 단계; 산소 이온을 열확산시켜 반도체 기판과 반응시킴으로써 반도체 기판 내에 산화물을 형성하는 단계; 실리콘질화막을 마스크로 하여 트렌치로 예정된 영역의 반도체 기판 및 산화물을 식각하여 트렌치를 형성하는 단계; 트렌치의 내벽에 열확산 공정으로 라이너산화막을 형성하는 단계; 제2라이너산화막 상에 트렌치의 내부를 매립하도록 절연막을 형성하는 단계를 포함하여 반도체 소자의 트렌치를 형성한다.

【대표도】

도 2f

【색인어】

트렌치, 이온주입, 보이드

【명세서】**【발명의 명칭】**

반도체 소자의 트렌치 형성 방법 {Formation method of trench in semiconductor device}

【도면의 간단한 설명】

도 1a 내지 1d는 종래 반도체 소자의 트렌치 형성 방법을 도시한 단면도이고,

도 2a 내지 도 2f는 본 발명에 따른 반도체 소자의 트렌치 형성 방법을 도시한 단면도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <3> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 더욱 상세하게는 반도체 소자에서 활성영역 간을 절연하는 필드영역으로서 형성된 트렌치의 내부를 보이드 없이 절연물질로 매립하는 방법에 관한 것이다.
- <4> 반도체 소자의 격리구조로서 트렌치 격리구조 (STI : shallow trench isolation)가 많이 사용되고 있다. 트렌치 격리구조에서는 반도체 기판 내에 트렌치를 형성하고 그 내부에 절연 물질을 충전시킴으로써 필드영역의 크기를 목적인 트렌치의 크기로 제한하기 때문에 반도체 소자의 미세화에 유리하다.
- <5> 그러면 종래 트렌치 격리구조 제조 방법에 대해 간략히 설명한다. 도 1a 내지 1d는 종래 트렌치 격리구조 제조 방법을 도시한 단면도이다.

- <6> 먼저, 도 1a에 도시된 바와 같이, 실리콘 기판(1) 상에 패드산화막(2)을 200Å 정도 증착하고, 그 위에 실리콘질화막(3)을 2000Å 정도 증착한 후, 그 상부에 감광막을 도포하고 노광하여 트렌치로 예정된 영역의 상부에 해당하는 감광막만을 제거하여 감광막 패턴(4)을 형성한다.
- <7> 다음, 도 1b에 도시된 바와 같이, 감광막 패턴(4)을 마스크로 하여 노출된 실리콘질화막(3), 패드산화막(2) 및 목적하는 소정깊이의 실리콘 기판(1)을 건식식각하여 실리콘 기판(1) 내에 트렌치(100)를 형성한 다음, 감광막 패턴(4)을 제거하고 세정공정을 수행한다.
- <8> 형성되는 트렌치(100)의 측벽과 바닥면이 만나는 모서리에서는 수직에 가까운 각이 발생하게 되는데, 이 각을 줄여서 모서리를 완만하게 만드는 것은 거의 불가능하다.
- <9> 다음, 도 1c에 도시된 바와 같이, 트렌치(100)의 내벽에 열확산 공정에 의해 라이너산화막(5)을 형성한다.
- <10> 이 때, 라이너산화막(5)은 통상적인 열확산 공정에 의해 트렌치의 실리콘 기판(1) 표면(도 1c에서 점선으로 도시)을 중심으로 하여 실리콘 기판(1)의 안쪽으로 약 60%의 두께로 형성되고, 실리콘 기판의 바깥쪽으로 약 40%의 두께로 형성된다.
- <11> 라이너산화막(5) 형성을 위한 열확산 공정 중에 트렌치(100)의 측벽과 바닥면이 만나는 모서리 부분의 각이 작을수록 산소 분자들이 실리콘 기판 안으로 침투하기가 어려워지는데, 수직에 가까운 모서리 각을 가진 상태에서는 산소 분자들의 침투가 용이하지 않은 상태이다.

- <12> 따라서, 실리콘 기판(1)의 안쪽으로 위치하는 라이너산화막(5)의 하부표면은 트렌치의 모서리 부분에서 완만한 곡선을 이루지만, 실리콘 기판(1) 바깥쪽으로 위치하는 라이너산화막(5)의 상부표면은 열확산 공정 전의 수직에 가까운 모서리 각을 그대로 유지하고 있다.
- <13> 다음, 도 1d에 도시된 바와 같이, 라이너산화막(5)을 포함하여 실리콘질화막(3)의 상부 전면에 트렌치(100)를 충분히 매립시키도록 필드옥사이드(6)를 두껍게 증착한다.
- <14> 필드옥사이드(6)는 도 1d의 점선으로 도시한 것과 같은 표면상태를 가지면서 증착되기 때문에, 수직에 가까운 모서리 각을 가지는 라이너산화막(5) 상부에 필드옥사이드(6)를 형성하다 보면 트렌치의 내부가 완전히 매립되지 않고 보이드(200)가 형성되는 문제점이 있었다.
- <15> 이러한 보이드(200)가 심할 경우에는 이후 필드옥사이드(6)의 평탄화를 위한 화학기계적 연마시 그 보이드(200)가 노출되어 평탄화가 어려워지는 문제점이 있었다.
- <16> 또한, 평탄화 후 보이드가 노출되어 있다가 후속 공정에서 전극 형성용으로 증착하는 폴리실리콘이 보이드로 들어가면 누설전류가 발생하여 소자의 오동작을 유발하고, 인접하는 소자가 서로 접합하여 단락되는 등 소자에 치명적인 악영향을 미치는 문제점이 있었다.
- <17> 이러한 문제점들은 트렌치의 폭이 좁아지면서 더욱 심화된다.

【발명이 이루고자 하는 기술적 과제】

- <18> 본 발명은 상기한 바와 같은 문제점을 해결하기 위한 것으로, 그 목적은 보이드가 형성되지 않고 트렌치가 완전히 매립되도록 필드옥사이드를 형성하는 방법을 제공하는 것이다.

【발명의 구성 및 작용】

- <19> 상기한 바와 같은 목적을 달성하기 위하여, 본 발명에서는 실리콘 기판 내에 산소를 이온주입하고 열확산시켜 실리콘옥사이드를 형성한 다음, 실리콘 기판 및 실리콘옥사이드를 식각

하여 트렌치를 형성하기 때문에, 트렌치의 측벽 및 바닥면이 만나는 모서리 부분이 완만한 곡면을 이루며, 따라서 그 위에 형성되는 필드옥사이드가 트렌치의 내부를 보이드 없이 완전히 매립한다.

<20> 즉, 본 발명에 따른 반도체 소자의 트렌치 형성 방법은, 반도체 기판 상에 패드산화막과 실리콘질화막을 형성하는 단계; 트렌치로 예정된 영역 상부의 실리콘질화막 및 패드산화막을 선택적으로 식각하는 단계; 트렌치로 예정된 영역의 반도체 기판 내에 산소 이온을 주입하는 단계; 산소 이온을 열확산시켜 반도체 기판과 반응시킴으로써 반도체 기판 내에 산화물을 형성하는 단계; 실리콘질화막을 마스크로 하여 트렌치로 예정된 영역의 반도체 기판 및 산화물을 식각하여 트렌치를 형성하는 단계; 트렌치의 내벽에 열확산 공정으로 라이너산화막을 형성하는 단계; 제2라이너산화막 상에 트렌치의 내부를 매립하도록 절연막을 형성하는 단계를 포함하여 이루어진다.

<21> 여기서 산소 이온을 주입할 때에는, 실리콘 질화막 및 노출된 반도체 기판 상에 제1감광막 패턴의 오프닝 부분 보다 더 좁은 폭으로 오프닝되고, 제1감광막 패턴의 오프닝 부분과 동일한 중심축을 가지도록 오프닝된 제2감광막 패턴을 형성한 후, 제2감광막 패턴을 마스크로 하여 산소 이온을 주입하며, 산소 이온은 목적하는 트렌치의 깊이에 해당하는 반도체 기판 내에 주입하는 것이 바람직하다.

<22> 또한, 산소 이온을 열확산시킬 때에는 질소 분위기에서 열확산시키는 것이 바람직하다.

<23> 이하, 본 발명에 따른 반도체 소자 제조 방법에 대해 도 2a 내지 도 2d를 참조하여 설명한다. 도 2a 내지 도 2d는 본 발명에 따른 반도체 소자의 트렌치 형성 방법을 도시한 단면도이다.



- <24> 먼저, 도 2a에 도시된 바와 같이, 반도체 기판(11) 상에 패드산화막(12)을 얇게 증착하고, 패드산화막(12) 위에 실리콘질화막(13)을 증착한 후, 트렌치로 예정된 영역의 상부에 해당하는 실리콘질화막(13) 및 그 하부의 패드산화막(12)을 제거하도록 선택적 식각하여 트렌치 패턴을 형성한다.
- <25> 이 때, 패드산화막(12)은 실리콘질화막(13)과의 스트레스 차이를 완화하여 스트레스가 반도체 기판(11)에 그대로 전달되는 것을 억제하기 위해 선택적으로 증착하는 것으로서, 100-300 Å 정도의 두께로 얇게 증착하는 것이 바람직하며, 일 예로서 200 Å 두께로 증착할 수 있다.
- <26> 실리콘질화막(13)은 산화막과의 선택비가 큰 재료이므로 후속공정인 필드옥사이드의 화학기계적 연마 공정에서 종료층 역할을 하며 보통 1000-3000 Å 정도의 두께로 증착하는 것이 바람직하고, 일 예로서 2000 Å 두께로 증착할 수 있다.
- <27> 트렌치 패턴을 형성할 때에는, 실리콘질화막(13) 상에 감광막을 도포하고 노광하여 트렌치로 예정된 영역의 상부에 해당하는 감광막만을 제거하여 제1감광막패턴(미도시)을 형성한 후, 제1감광막패턴을 마스크로 하여 노출된 실리콘질화막(13) 및 그 하부의 패드산화막(12)을 식각하도록 한다.
- <28> 다음, 도 2b에 도시된 바와 같이, 실리콘질화막(13) 및 노출된 반도체 기판(11) 상에 감광막을 도포하고 노광 및 현상하여, 트렌치 패턴의 오프닝 부분보다 더 좁은 폭으로 오프닝된 제2감광막 패턴(14)을 형성한다.



- <29> 이 때 제2감광막 패턴(14)의 오프닝 부분은 앞서 형성된 트렌치 패턴의 오프닝 부분과 동일한 중심축을 가지도록 하고, 트렌치 패턴의 오프닝 부분보다 더 좁은 정도는 산소이온의 열확산 정도에 따라 비례하여 결정하도록 한다.
- <30> 이어서, 제2감광막 패턴(14)을 마스크로 하여 반도체 기판(11) 내에 산소이온을 주입하여 주입영역(15)을 형성한다.
- <31> 이 때 주입영역(15)이 위치하는 반도체 기판(11) 표면으로부터의 깊이는 이후 형성될 트렌치의 바닥면 깊이가 되도록 한다.
- <32> 다음, 제2감광막 패턴(14)을 제거하고 세정공정을 수행한 후, 도 2c에 도시된 바와 같이 질소 분위기에서 열확산 공정을 수행하여 주입영역(15)내에 주입되어 있던 산소를 주변의 실리콘 기판(11)으로 열확산시켜 실리콘과 반응시키고, 반응에 의해 실리콘옥사이드(16)를 형성한다.
- <33> 이 때 질소 분위기에서 수행하는 이유는 실리콘 기판(11)의 표면이 열확산 공정 중에 산소와 반응하지 않도록 하기 위함이다.
- <34> 다음, 도 2d에 도시된 바와 같이, 실리콘질화막(13)을 마스크로 하여 노출된 실리콘 기판(11)을 식각하고, 실리콘 기판(11)을 식각하다가 노출된 실리콘옥사이드(16)를 연속적으로 식각하여 트렌치(100)를 형성한다.
- <35> 이 때 실리콘 기판(11)과 식각율이 다른 실리콘옥사이드(16)를 식각하여 트렌치의 바닥면을 형성하는 동안에 트렌치의 측벽과 모서리 부분의 실리콘 기판(11)이 식각되기 때문에, 결과적으로 바닥면의 존재로 인해 트렌치는 측벽과 바닥면이 만나는 모서리 부분이 곡면으로 형성된다.

- <36> 다음, 도 2e에 도시된 바와 같이, 트렌치(100)의 내벽에 열확산 공정에 의해 라이너산화막(17)을 형성한다.
- <37> 이 때, 라이너산화막(17)은 통상적인 열확산 공정에 의해 트렌치의 반도체 기판(11) 표면을 중심으로 하여 반도체 기판(11)의 안쪽으로 약 60%의 두께로 형성되고, 반도체 기판(11)의 바깥쪽으로 약 40%의 두께로 형성된다.
- <38> 또한, 라이너산화막(17)은 도 2d에 도시된 트렌치의 표면형상을 그대로 따라 형성되므로, 라이너산화막(17)의 상부 표면은 측벽과 바닥면이 만나는 모서리 부분에서 완만한 곡선을 이루고 있다.
- <39> 다음, 도 2f에 도시된 바와 같이, 라이너산화막(17)을 포함하여 실리콘질화막(13)의 상부 전면에 트렌치(100)를 충분히 매립시키도록 필드옥사이드(18)를 두껍게 증착한다.
- <40> 필드옥사이드(18)는 도 2f의 점선으로 도시한 것과 같은 표면상태를 가지면서 증착되며, 모서리 부분이 완만한 곡선을 이루는 라이너산화막(17) 상부에 필드옥사이드(18)를 증착하기 때문에 보이드 없이 트렌치의 내부를 완전히 매립할 수 있다.
- <41> 이후에는 실리콘질화막(13)이 노출될 때까지 필드옥사이드(17)를 화학기계적 연마하여 평탄화시킴으로써, 트렌치 격리공정을 완료한다.

【발명의 효과】

- <42> 상술한 바와 같이, 본 발명에서는 실리콘 기판 내에 산소를 이온주입하고 열확산시켜 실리콘옥사이드를 형성한 다음, 실리콘 기판 및 실리콘옥사이드를 식각하여 트렌치를 형성하기 때문에, 트렌치의 측벽 및 바닥면이 만나는 모서리 부분이 완만한 곡면을 이루며, 따라서 그 위에 형성되는 필드옥사이드가 트렌치의 내부를 보이드 없이 완전히 매립하는 효과가 있다.



1020030001410

출력 일자: 2003/11/13

<43> 따라서, 보이드 형성으로 인한 누설전류 또는 단락에 기인한 소자의 신뢰성 감소 요인의 발생을 방지하고, 소자의 수율이 향상되는 효과가 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 패드산화막과 실리콘질화막을 형성하는 단계;

트렌치로 예정된 영역 상부의 실리콘질화막 및 패드산화막을 선택적으로 식각하는 단계

;

상기 트렌치로 예정된 영역의 반도체 기판 내에 산소 이온을 주입하는 단계;

상기 산소 이온을 열확산시켜 상기 반도체 기판과 반응시킴으로써 상기 반도체 기판 내에 산화물을 형성하는 단계;

상기 실리콘질화막을 마스크로 하여 트렌치로 예정된 영역의 반도체 기판 및 상기 산화물을 식각하여 트렌치를 형성하는 단계;

상기 트렌치의 내벽에 열확산 공정으로 라이너산화막을 형성하는 단계;

상기 제2라이너산화막 상에 상기 트렌치의 내부를 매립하도록 절연막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

【청구항 2】

제 1 항에 있어서,

상기 반도체 기판은 실리콘웨이퍼인 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

【청구항 3】

제 2 항에 있어서,

상기 실리콘질화막 및 패드산화막을 선택적으로 식각하는 단계에서는, 상기 실리콘질화막 상에 감광막을 도포하고 노광 및 현상하여 트렌치로 예정된 영역 상부의 실리콘질화막을 노출시키는 제1감광막 패턴을 형성한 후, 상기 제1감광막 패턴을 마스크로 하여 노출된 실리콘질화막 및 패드산화막을 선택적으로 식각하는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

【청구항 4】

제 3 항에 있어서,

상기 산소 이온을 주입하는 단계에서는, 상기 실리콘 질화막 및 노출된 반도체 기판 상에 상기 제1감광막 패턴의 오프닝 부분 보다 더 좁은 폭으로 오프닝되고, 상기 제1감광막 패턴의 오프닝 부분과 동일한 중심축을 가지도록 오프닝된 제2감광막 패턴을 형성한 후, 상기 제2감광막 패턴을 마스크로 하여 상기 산소 이온을 주입하며,

상기 산소 이온은 목적하는 트렌치의 깊이에 해당하는 반도체 기판 내에 주입하는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

【청구항 5】

제 4 항에 있어서,

상기 산소 이온을 열확산시키는 단계에서는 질소 분위기에서 열확산시키는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

【청구항 6】

제 5 항에 있어서,

상기 트렌치의 측벽과 바닥면이 만나는 모서리 부분은 곡면인 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

【청구항 7】

제 1 항 내지 제 6 항 중의 어느 한 항에 있어서,

상기 트렌치의 내부를 매립하도록 절연막을 형성하는 단계에서는, 상기 실리콘질화막 및 상기 트렌치의 내부를 포함한 상부 전면에 상기 트렌치의 내부를 매립하도록 산화막을 형성한 후, 상기 실리콘질화막이 노출될때까지 상기 산화막을 화학기계적 연마하는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

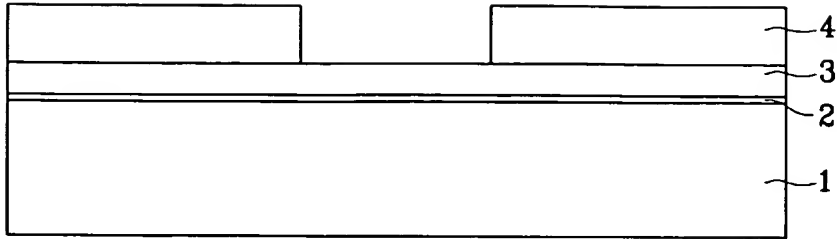
【청구항 8】

제 7 항에 있어서,

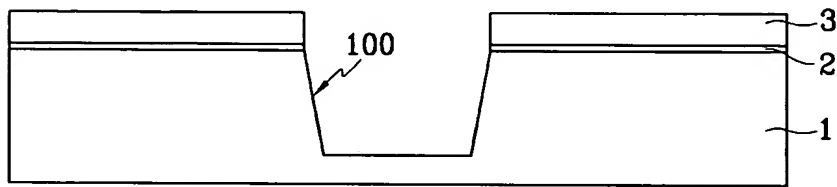
상기 실리콘질화막은 1000-3000Å 두께로 증착하는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

【도면】

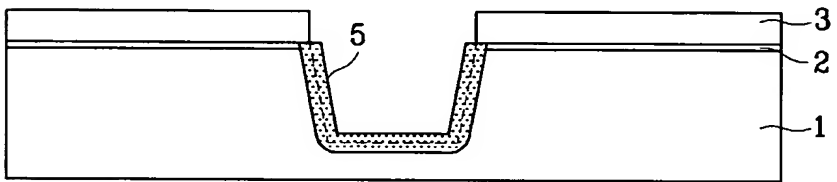
【도 1a】



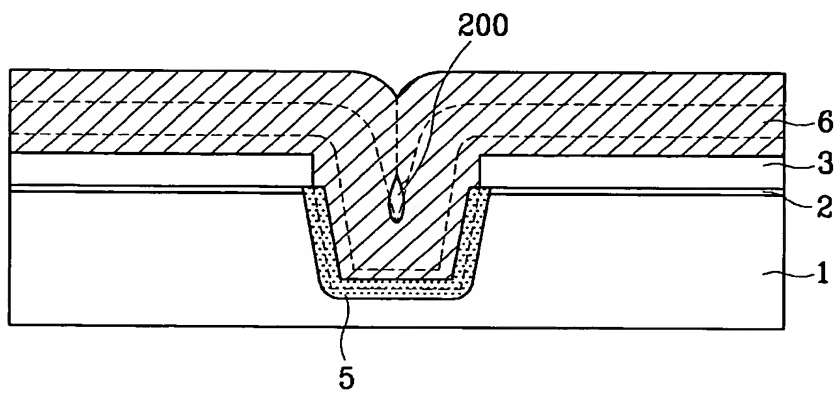
【도 1b】



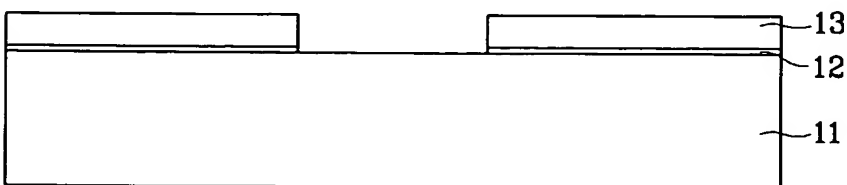
【도 1c】



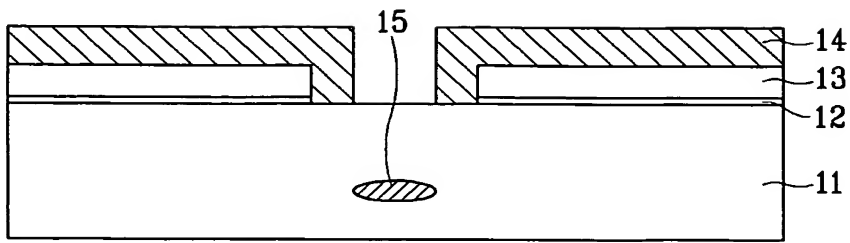
【도 1d】



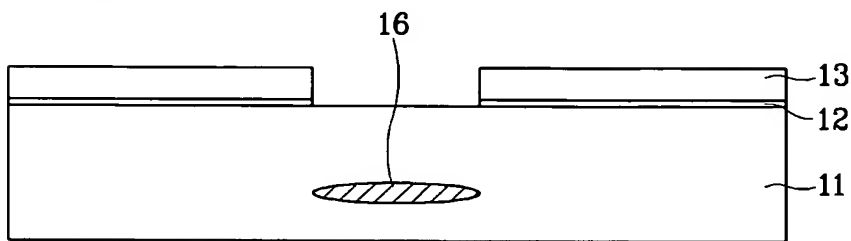
【도 2a】



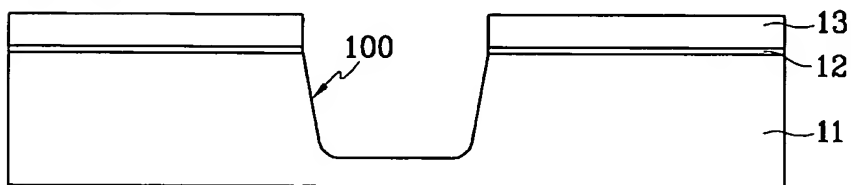
【도 2b】



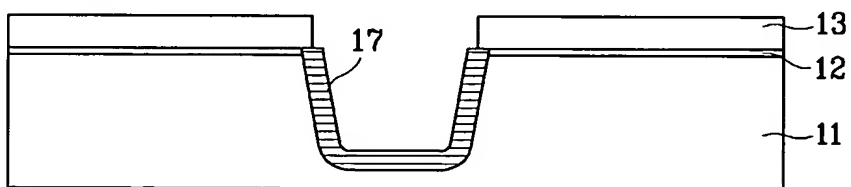
【도 2c】



【도 2d】



【도 2e】



【도 2f】

